

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-184813

(43)Date of publication of application : 16.07.1996

(51)Int.Cl.

G02F 1/133

G02F 1/133

G09G 3/36

(21)Application number : 06-326104

(71)Applicant : SHARP CORP

(22)Date of filing : 27.12.1994

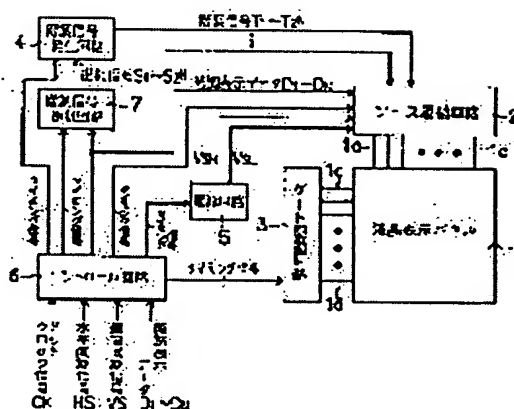
(72)Inventor : NAGASHIMA MASAMI  
KAWAGUCHI TAKAFUMI

## (54) LIQUID CRYSTAL DISPLAY DEVICE

### (57)Abstract:

**PURPOSE:** To reduce useless power consumption caused by generating an unwanted gradation signal in a gradation signal generation circuit and to eliminate unwanted electromagnetic radiation also caused by the occurrence of the wanted gradation signal by suppressing the occurrence of the gradation signal unnecessary for the data for assigning intensity levels used for a display actually.

**CONSTITUTION:** This device is provided with a gradation signal selection circuit 7 detecting the gradation signal T selected more than once by the data D1-DN for assigning intensity levels in a horizontal scan period and is constituted so that when the data D1-DN for assigning intensity levels in the horizontal period are displayed, the gradation signal generation circuit 4 generates only the gradation signal T detected by the gradation signal selection circuit 7.



## LEGAL STATUS

[Date of request for examination] 10.07.1998

[Date of sending the examiner's decision of rejection] 23.01.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3549127

[Date of registration] 30.04.2004

[Number of appeal against examiner's decision of rejection] 2002-002867

[Date of requesting appeal against examiner's decision of rejection] 20.02.2002

[Date of extinction of right]

\* NOTICES \*

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the liquid crystal display of the active matrix which performs a gradation display.

[0002]

[Description of the Prior Art] There are analog gradation voltage system which impresses the analog gradation electrical potential difference from which an electrical potential difference differs as a method for performing a gradation display according to the gradation indicative data of each picture element with the liquid crystal display of a bitter taste tee BUMATO risk method using TFT ([Thin Film Transistor] thin film transistor) to the picture element concerned, and oscillating gradation voltage system which impresses the pulse supply voltage from which a duty ratio differs according to the gradation indicative data of each picture element to the picture element concerned. Analog circuits, such as an operational amplifier used for a power circuit, cause a cost rise, and analog gradation voltage system has the fault that a chip area also increases in order to have to prepare the power source which generates the gradation electrical potential difference from which an electrical potential difference differs for every phase of a gradation display. On the other hand, since it is sufficient for it if oscillating gradation voltage system has the power source of the electrical potential difference of two kinds of height at least, and it can constitute most circuits for a gradation display from a digital circuit, it has the advantage that increase of a chip area is also avoidable while it controls a cost rise.

[0003] The conventional liquid crystal display which performs the gradation display by the above-mentioned oscillating gradation voltage system is explained based on drawing 7. This liquid crystal display is equipped with the liquid crystal display panel 1 of an active matrix. The liquid crystal display panel 1 encloses liquid crystal between [ one pair of ] substrate 1a and 1b. Much signal wiring 1c and 1d of scan wiring cross, it is formed in one substrate 1a, and picture element electrode 1e is formed in each field in a grid pattern divided by these signal wiring 1c and 1d of scan wiring, respectively. And the field in which each picture element electrode 1e was formed serves as a picture element on the liquid crystal display panel 1, and a picture element will be arranged by this in the shape of a matrix (letter of a matrix). Moreover, TFT1f is formed in the intersection of signal wiring 1c and 1d of scan wiring which adjoins such picture element electrode 1e, respectively. every -- TFT1f is a switching element which connects between picture element electrode 1e and signal wiring 1c, and the gate of this TFT1f is connected to 1d of scan wiring. The common electrode is formed in substrate 1b of another side for every group who stands in a row in this whole substrate side surface or the line writing direction of each picture element. In addition, although the case where the picture element has been arranged at three-line three trains is shown by the liquid crystal display panel 1 shown in drawing 7 in order to simplify a drawing, much more picture elements are arranged in the shape of a matrix by the actual liquid crystal display panel 1.

[0004] Each signal wiring 1c formed in substrate 1a of the above-mentioned liquid crystal display panel 1 is connected to the source drive circuit (signal wiring drive circuit) 2, respectively, and 1d of each scan wiring is connected to the gate drive circuit 3, respectively. Moreover, the gradation signal generating circuit 4, the power circuit 5, and the control circuit 6 are formed in this liquid crystal display. And the gradation indicative datas D1-D4, the dot clock signal CK and Horizontal

Synchronizing signal HS, and Vertical Synchronizing signal VS which are sent from the external circuit which is not illustrated are inputted into this control circuit 6. The gradation indicative datas D1-D4 are the two or more bits (here 4 bits) signals which showed the display gradation of each picture element with the binary number value, and 4 bits of gradation indicative datas D1-D4 of each matrix-like picture element are inputted at a time into a serial one by one. And a control circuit 6 sends these gradation indicative datas D1-D4 to the source drive circuit 2 as they are. Moreover, the dot clock signal CK is a signal which synchronized with the gradation indicative datas D1-D4 of each picture element, Horizontal Synchronizing signal HS is a signal which synchronized with the horizontal scanning period, and Vertical Synchronizing signal VS is a signal which synchronized with the vertical-scanning period. And a control circuit 6 generates various timing signals based on these synchronizing signals, and sends them to the source drive circuit 2, the gate drive circuit 3, the gradation signal generating circuit 4, and a power circuit 5, respectively.

[0005] The gate drive circuit 3 repeats this for every vertical-scanning period while it scans 1d of each scan wiring of the liquid crystal display panel 1 in order for every horizontal scanning period and makes it flow through all TFT1f of a scan line based on the timing signal sent from a control circuit 6. A power circuit 5 is a circuit which generates two kinds of supply voltage VSH and VSL which has the electrical potential difference from which height differs, and the supply voltage VC corresponding to this, and in order to perform the alternating current drive of liquid crystal, it changes each voltage level for every vertical-scanning period based on the timing signal sent from a control circuit 6 so that the polarity of the supply voltage VSH and VSL to supply voltage VC may be reversed. And the supply voltage VSH and VSL which this power circuit 5 generates is sent to the source drive circuit 2, and supply voltage VC is impressed to the common electrode of substrate 1b of another side in the liquid crystal display panel 1.

[0006] The gradation signal generating circuit 4 is a circuit which generates the gradation signals T1-T16 based on the timing signal sent from a control circuit 6. In oscillating gradation voltage system, a gradation signal has the amplitude and a fixed period, are two or more kinds of pulse signals from which only a duty ratio differs, and when using the gradation signal of the number of phases and the same number of a gradation display, if a gradation indicative data is made into N bit, it will consist of 2-N a kind of a pulse signal. And the gradation indicative datas D1-D4 are 4 bits, and since the gradation signal of the number of phases and the same number by this is used, the gradation signals T1-T16 which this gradation signal generating circuit 4 generates consist of a pulse signal which is 16 kinds from which a duty ratio differs, respectively here, as shown in drawing 8. And these gradation signals T1-T16 are sent to the source drive circuit 2, as shown in drawing 7.

[0007] Based on the timing signal sent from a control circuit 6, the source drive circuit 2 samples the gradation indicative datas D1-D4 for every picture element, and repeats the actuation which holds all at once for every horizontal scanning period. And each gradation indicative datas D1-D4 for one held line are decoded, respectively, a gap or one kind of gradation signal T is chosen, and it impresses to each signal wiring 1c by changing two kinds of supply voltage VSH and VSL according to the duty ratio of this selected gradation signal T, pulse-like supply voltage, i.e., pulse supply voltage. Therefore, if the supply voltage VSH of the high voltage shall be impressed between H level of the gradation signal T and, as for between L level, this source drive circuit 2 shall impress the supply voltage VSL of a low battery, as shown in drawing 9, by the period m of the periods Tt, it will become supply voltage VSH and the pulse supply voltage of m/Tt will be impressed to signal wiring 1c for the duty ratio according to the gradation indicative datas D1-D4 used as supply voltage VSL in Period n. Moreover, the pulse supply voltage which did in this way and was impressed to signal wiring 1c will be impressed to picture element electrode 1e through each TFT1f of the line scanned by the gate drive circuit 3, respectively.

[0008] Here, if the source drive circuit 2 impresses pulse supply voltage to one signal wiring 1c, a current will flow to picture element electrode 1e through this signal wiring 1c to TFT1f, and the picture element capacity constituted with the common electrode of this picture element electrode 1e, a liquid crystal layer, and substrate 1b will be charged. and -- since such a circuit will show a low pass filter property by the series circuit of the ON resistance and picture element capacity of TFT1f, the time constant by these ON resistance and picture element capacity is large and cut-off frequency moreover becomes low -- pulse supply voltage -- only a dc component (average electrical potential

difference) comes to be mostly impressed to picture element electrode 1e. Therefore, since the average electrical potential difference of  $(mVSH+nVSL)/Tt$  is charged when impressing the pulse supply voltage from which a duty ratio differs, and a different electrical potential difference according to this duty ratio is charged by picture element electrode 1e, for example, the above-mentioned duty ratio impresses the pulse supply voltage of  $m/Tt$ , the gradation display of liquid crystal is attained by this.

[0009] Moreover, in oscillating gradation voltage system, as mentioned above, not using the gradation signals T1-T16 of the number of phases and the same number of a gradation display, also when the interpolation gradation method which generates the gradation signal for several phase minutes of a gradation display by the source drive circuit 2 from the basic gradation signal of classes fewer than this was used, it was. Namely, although the number of phases of this gradation display is 16 steps when the gradation indicative datas D1-D4 of this interpolation gradation method are 4 bits like the above-mentioned conventional example As shown in drawing 10, five kinds of gradation signals T1, T5, T9, T13, and T16 are defined as a basic gradation signal. The gradation signal T2 of each other phases - T four, T6-T8, T10-T12, and T14 and T15 by the source drive circuit 2 It is the method generated by changing two kinds of gradation signals T of these basic gradation signals among 4 of a period  $Tt$  periods ( $4Tt$ ), and being impressed by signal wiring 1c. Impress the gradation signal T5 to the first three periods, and it is made to impress the gradation signal T9 to the one remaining period by the gradation signal T6. For example, by the gradation signal T7 The same dc component as the gradation signals T6 and T7 substantially shown in drawing 8 can be impressed to picture element electrode 1e by impressing the gradation signal T5 to two periods of the first half, and impressing the gradation signal T9 to two periods of the second half.

[0010] Since the gradation signal generating circuit 4 shown in drawing 7 should just generate only five kinds of gradation signals T1, T5, T9, T13, and T16 according to the above-mentioned interpolation gradation method, there is an advantage that the number of the gradation signals T which this gradation signal generating circuit 4 generates, and are sent to the source drive circuit 2 can be decreased.

[0011]

[Problem(s) to be Solved by the Invention] However, in the conventional liquid crystal display of the above-mentioned oscillating gradation voltage system, irrespective of the value of the gradation indicative datas D1-D4, the gradation signal generating circuit 4 generates five kinds of all gradation signals T1, T5, T9, T13, and T16 that are always 16 kinds of gradation signals T1-T16, or a basic gradation signal, and is continuing sending [ come ] to the source drive circuit 2. However, depending on the image displayed on the liquid crystal display panel 1, a bias arises in the gradation display between the whole term of a vertical-scanning period, or in some horizontal scanning periods, and the case where only a specific gradation signal is used arises. And in this case, it will be vainly generated in the gradation signal generating circuit 4, and the gradation signal with which others are not used will be sent to the source drive circuit 2.

[0012] For this reason, in order for the gradation signal generating circuit 4 to make it always generate to an unnecessary gradation signal conventionally depending on a display image, the problem that futility arose was in power consumption. And the problem of producing the electromagnetic radiation beyond the need (radiation) also had a liquid crystal display by generating a gradation signal unnecessary in this way, and sending to the source drive circuit 2.

[0013] Moreover, also in the conventional liquid crystal display of analog gradation voltage system, since the gradation signal with which a gradation signal generating circuit consists of two or more kinds of analog gradation electrical potential differences was always generated, the problem that futility arose was in power consumption by making it generate to an unnecessary gradation signal depending on a display image. And when the analog gradation voltage level of a gradation signal was changed for an alternating current drive, there was also a problem of producing the electromagnetic radiation beyond the need.

[0014] By solving the above-mentioned conventional problem and generating only a required gradation signal according to a gradation indicative data, this invention aims at offering the liquid crystal display which can decrease unnecessary electromagnetic radiation while it reduces power consumption.

[0015]

[Means for Solving the Problem] The liquid crystal display of this invention about each horizontal scanning period for each [ in the liquid crystal display panel of an active matrix ] signal wiring of every In the liquid crystal display which chose either of two or more kinds of gradation signals which a gradation signal generating circuit generates according to the gradation indicative data, and was equipped with the signal wiring drive circuit which impresses the signal level based on the this chosen gradation signal to the signal wiring concerned The non-choosing detector which detects the gradation signal chosen by neither of the gradation indicative datas of this horizontal scanning period about each horizontal scanning period, The gradation signal-suppression circuit which controls that this gradation signal generating circuit generates or outputs the gradation signal which had it detected by this non-choosing detector about the horizontal scanning period concerned to un-choose for every horizontal scanning period is prepared, and the above-mentioned purpose is attained by that.

[0016] Moreover, the group division of two or more signal wiring in the liquid crystal display panel of an active matrix is carried out preferably at two or more groups. Either of two or more kinds of gradation signals which a gradation signal generating circuit generates is chosen about each horizontal scanning period according to a gradation indicative data for every signal wiring of each group. In the liquid crystal display with which the signal wiring drive circuit which impresses the signal level based on the this selected gradation signal to the signal wiring concerned was prepared for each class of signal wiring The non-choosing detector which detects the gradation signal chosen by neither of the gradation indicative datas of this horizontal scanning period about each horizontal scanning period, The gradation signal-suppression circuit which controls that this gradation signal generating circuit generates or outputs the gradation signal which had it detected by this non-choosing detector about the horizontal scanning period concerned to un-choose for every horizontal scanning period is prepared for every signal wiring drive circuit.

[0017] About each horizontal scanning period preferably for each [ in the liquid crystal display panel of an active matrix ] signal wiring of every [ furthermore, ] Any 1 or two or more gradation signals of two or more kinds of gradation signals which a gradation signal generating circuit generates are chosen according to a gradation indicative data. In the liquid crystal display equipped with the signal wiring drive circuit which impresses the signal level based on this 1 selected or two or more selected gradation signals to the signal wiring concerned The non-choosing detector which detects the gradation signal chosen by neither of the gradation indicative datas of this horizontal scanning period about each horizontal scanning period, The gradation signal-suppression circuit which controls that this gradation signal generating circuit generates or outputs the gradation signal which had it detected by this non-choosing detector about the horizontal scanning period concerned to un-choose for every horizontal scanning period is prepared. Furthermore, the group division of two or more signal wiring in the liquid crystal display panel of an active matrix is carried out preferably at two or more groups. Any 1 or two or more gradation signals of two or more kinds of gradation signals which a gradation signal generating circuit generates are chosen about each horizontal scanning period according to a gradation indicative data for every signal wiring of each group. In the liquid crystal display with which the signal wiring drive circuit which impresses the signal level based on this 1 selected or two or more selected gradation signals to the signal wiring concerned was prepared for each class of signal wiring The non-choosing detector which detects the gradation signal chosen by neither of the gradation indicative datas of this horizontal scanning period about each horizontal scanning period, The gradation signal-suppression circuit which controls that this gradation signal generating circuit generates or outputs the gradation signal which had it detected by this non-choosing detector about the horizontal scanning period concerned to un-choose for every horizontal scanning period is prepared for every signal wiring drive circuit.

[0018]

[Function] By the above-mentioned configuration, a signal wiring drive circuit impresses the signal level based on the gradation signal chosen about each horizontal scanning period according to the gradation indicative data for every signal wiring to each signal wiring. In the case of oscillating gradation voltage system, this gradation signal has the amplitude and a fixed period, it is the signal with which only duty ratios differ, and the pulse supply voltage of the duty ratio corresponding to the

gradation signal chosen as signal wiring is impressed as a signal level. Moreover, in the case of analog gradation voltage system, this gradation signal is an analog gradation electrical potential difference from which an electrical potential difference differs, and the analog gradation electrical potential difference itself chosen as signal wiring is impressed as a signal level.

[0019] A non-choosing detector detects the gradation signal chosen by neither of the gradation indicative datas of the horizontal scanning period about each horizontal scanning period. When actually displaying the gradation indicative data of a horizontal scanning period, detection of the gradation signal of not choosing about the horizontal scanning period needs to be completed.

[0020]

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

## CLAIMS

[Claim 1] About each horizontal scanning period, for each [ in the liquid crystal display panel of an active matrix ] signal wiring of every In the liquid crystal display which chose either of two or more kinds of gradation signals which a gradation signal generating circuit generates according to the gradation indicative data, and was equipped with the signal wiring drive circuit which impresses the signal level based on the this chosen gradation signal to the signal wiring concerned The non-choosing detector which detects the gradation signal chosen by neither of the gradation indicative datas of this horizontal scanning period about each horizontal scanning period, The liquid crystal display with which the gradation signal-suppression circuit which controls that this gradation signal generating circuit generates or outputs the gradation signal which had it detected by this non-choosing detector about the horizontal scanning period concerned to un-choose for every horizontal scanning period was prepared.

[Claim 2] The group division of two or more signal wiring in the liquid crystal display panel of an active matrix is carried out at two or more groups. Either of two or more kinds of gradation signals which a gradation signal generating circuit generates is chosen about each horizontal scanning period according to a gradation indicative data for every signal wiring of each group. In the liquid crystal display with which the signal wiring drive circuit which impresses the signal level based on the this selected gradation signal to the signal wiring concerned was prepared for each class of signal wiring. The non-choosing detector which detects the gradation signal chosen by neither of the gradation indicative datas of this horizontal scanning period about each horizontal scanning period, The liquid crystal display with which the gradation signal-suppression circuit which controls that this gradation signal generating circuit generates or outputs the gradation signal which had it detected by this non-choosing detector about the horizontal scanning period concerned to un-choose for every horizontal scanning period was prepared for every signal wiring drive circuit.

[Claim 3] About each horizontal scanning period, for each [ in the liquid crystal display panel of an active matrix ] signal wiring of every Any 1 or two or more gradation signals of two or more kinds of gradation signals which a gradation signal generating circuit generates are chosen according to a gradation indicative data. In the liquid crystal display equipped with the signal wiring drive circuit which impresses the signal level based on this 1 selected or two or more selected gradation signals to the signal wiring concerned The non-choosing detector which detects the gradation signal chosen by neither of the gradation indicative datas of this horizontal scanning period about each horizontal scanning period, The liquid crystal display with which the gradation signal-suppression circuit which controls that this gradation signal generating circuit generates or outputs the gradation signal which had it detected by this non-choosing detector about the horizontal scanning period concerned to un-choose for every horizontal scanning period was prepared.

[Claim 4] The group division of two or more signal wiring in the liquid crystal display panel of an active matrix is carried out at two or more groups. Any 1 or two or more gradation signals of two or more kinds of gradation signals which a gradation signal generating circuit generates are chosen about each horizontal scanning period according to a gradation indicative data for every signal wiring of each group. In the liquid crystal display with which the signal wiring drive circuit which impresses the signal level based on this 1 selected or two or more selected gradation signals to the signal wiring concerned was prepared for each class of signal wiring The non-choosing detector



which detects the gradation signal chosen by neither of the gradation indicative datas of this horizontal scanning period about each horizontal scanning period, The liquid crystal display with which the gradation signal-suppression circuit which controls that this gradation signal generating circuit generates or outputs the gradation signal which had it detected by this non-choosing detector about the horizontal scanning period concerned to un-choose for every horizontal scanning period was prepared for every signal wiring drive circuit.

---

[Translation done.]

## \* NOTICES \*

JPO and INPIT are not responsible for any damages caused by the use of this translation.

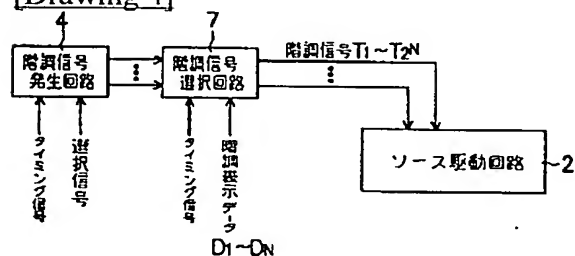
1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

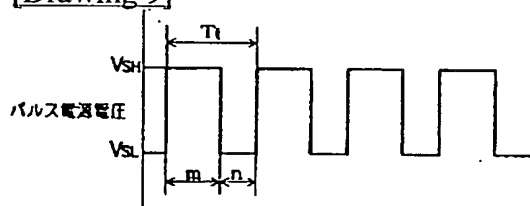
3. In the drawings, any words are not translated.

## DRAWINGS

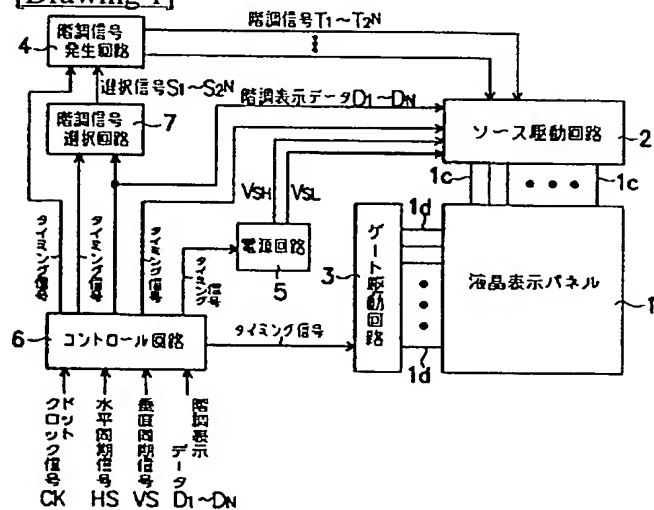
[Drawing 4]



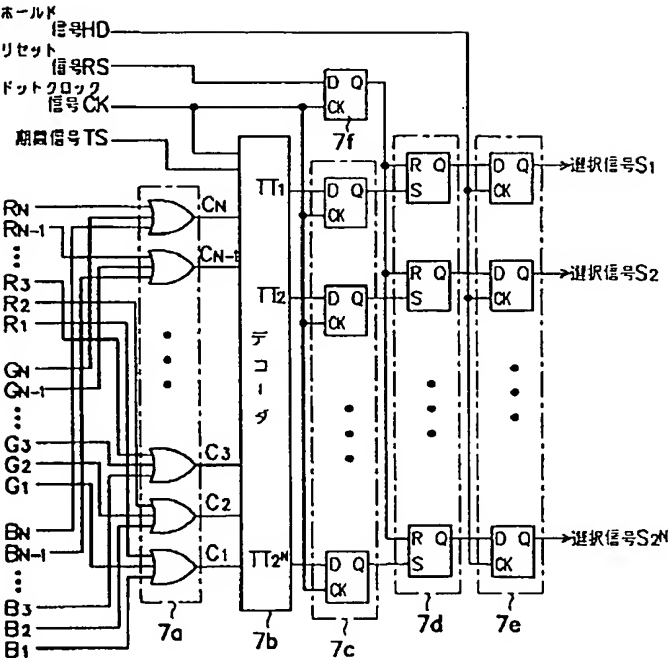
[Drawing 9]



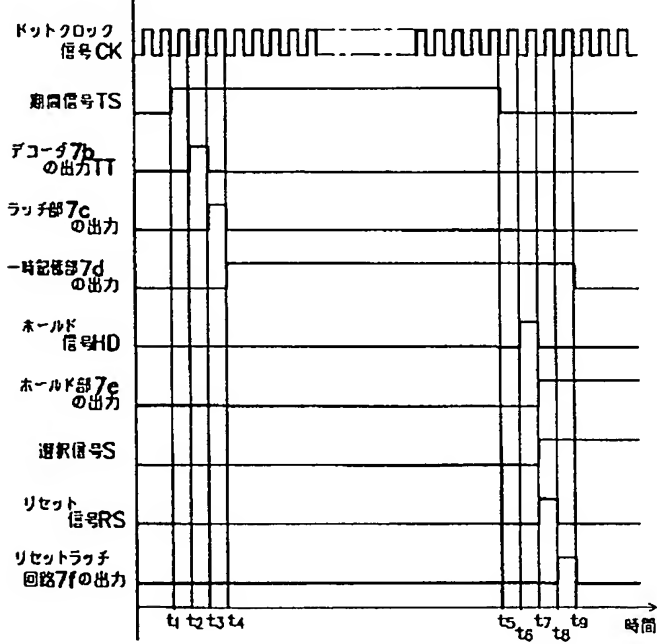
[Drawing 1]



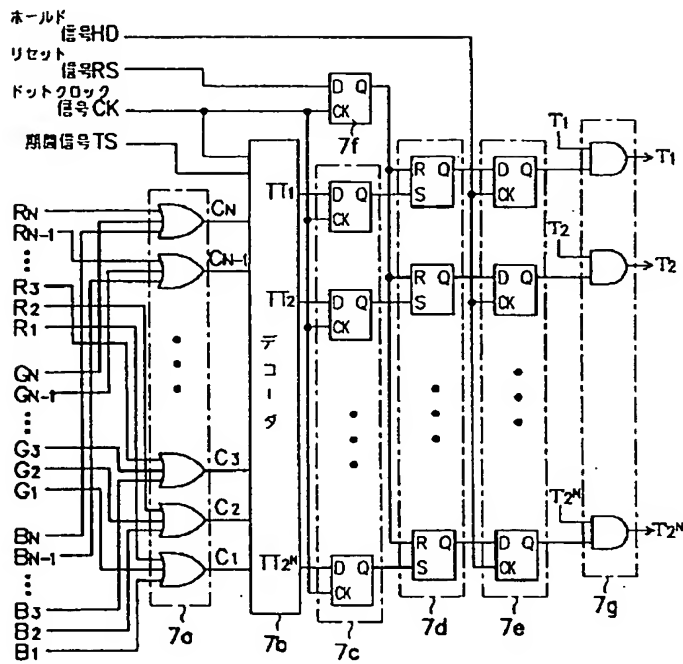
[Drawing 2]



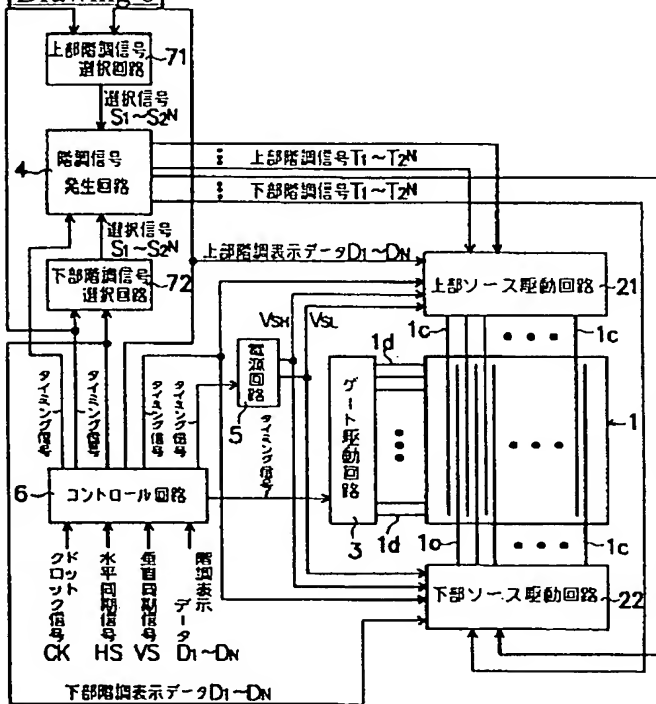
[Drawing 3]



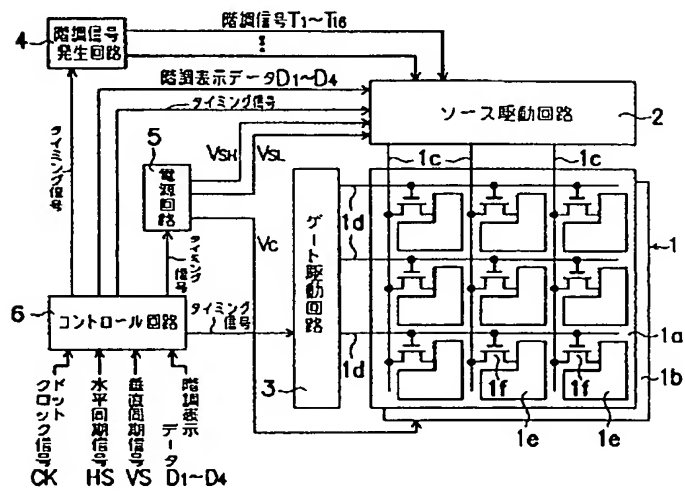
[Drawing 5]



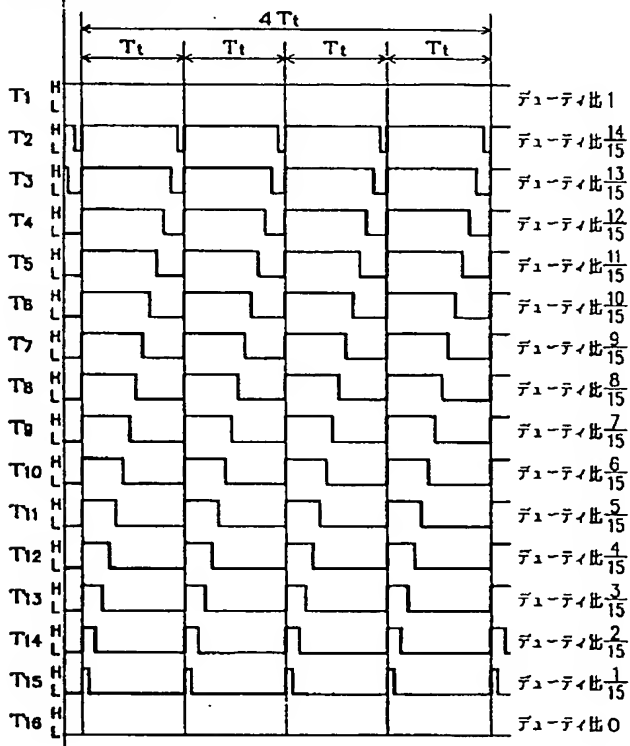
[Drawing 6]



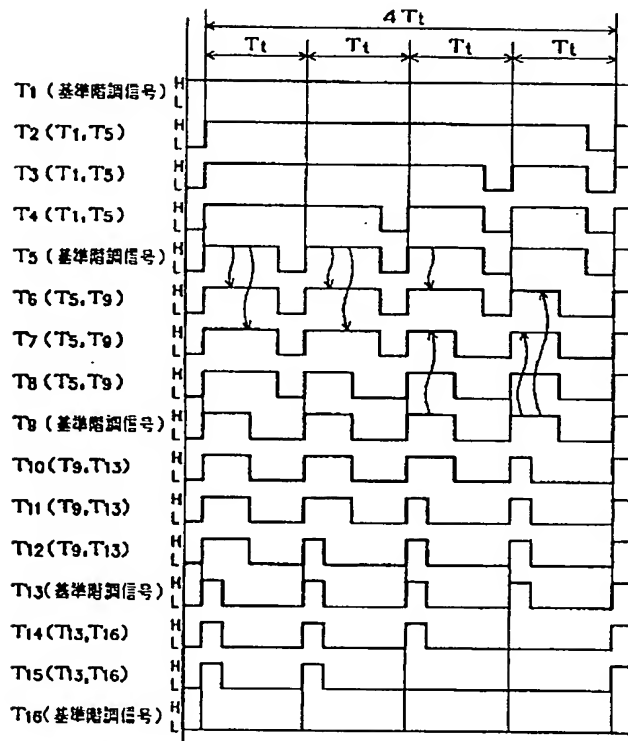
[Drawing 7]



[Drawing 8]



[Drawing 10]



[Translation done.]

**\* NOTICES \***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DESCRIPTION OF DRAWINGS**

---

**[Brief Description of the Drawings]**

**[Drawing 1]** It is the block diagram in which showing the 1st example of this invention and showing the configuration of a liquid crystal display.

**[Drawing 2]** It is the block diagram in which showing the 1st example of this invention and showing the configuration of a gradation signal selection circuitry.

**[Drawing 3]** It is the timing diagram which shows the 1st example of this invention and shows actuation of a gradation signal selection circuitry.

**[Drawing 4]** It is the block diagram in which showing the 2nd example of this invention and showing a gradation signal generating circuit and a gradation signal selection circuitry.

**[Drawing 5]** It is the block diagram in which showing the 2nd example of this invention and showing the configuration of a gradation signal selection circuitry.

**[Drawing 6]** It is the block diagram in which showing the 3rd example of this invention and showing the configuration of a liquid crystal display.

**[Drawing 7]** It is the block diagram in which showing the conventional example and showing the configuration of a liquid crystal display.

**[Drawing 8]** It is the timing diagram which shows the conventional example and shows each gradation signal.

**[Drawing 9]** It is the timing diagram which shows the conventional example and shows pulse supply voltage.

**[Drawing 10]** It is the timing diagram which shows the conventional example and shows each gradation signal of a interpolation gradation method.

**[Description of Notations]**

1 Liquid Crystal Display Panel

2 Source Drive Circuit

3 Gate Drive Circuit

4 Gradation Signal Generating Circuit

7 Gradation Signal Selection Circuitry

21 Up Source Drive Circuit

22 Lower Source Drive Circuit

71 Up Gradation Signal Selection Circuitry

72 Lower Gradation Signal Selection Circuitry

---

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-184813

(43) 公開日 平成8年(1996)7月16日

(51) IntCl.<sup>6</sup>

G 0 2 F 1/133

識別記号

5 7 5

庁内整理番号

5 5 0

F I

技術表示箇所

G 0 9 G 3/36

審査請求 未請求 請求項の数4 O L (全 12 頁)

(21) 出願番号 特願平6-326104

(22) 出願日 平成6年(1994)12月27日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 長島 正美

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72) 発明者 川口 登史

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

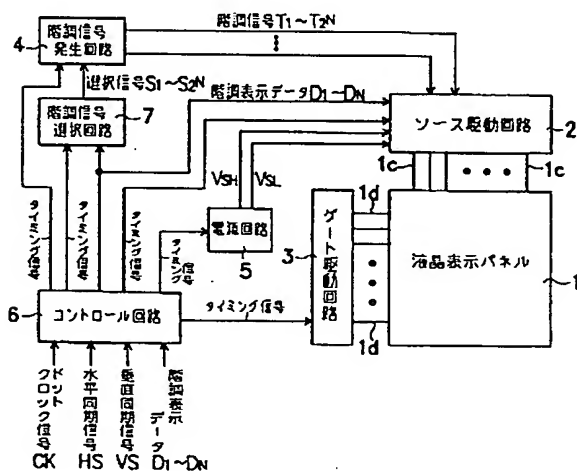
(74) 代理人 弁理士 山本 秀策

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【目的】 実際に表示に用いる階調表示データD1~DNが必要としない階調信号Tの発生を抑制するので、階調信号発生回路4が不必要な階調信号を発生させることにより生じる電力消費の無駄を低減させると共に、この不必要な階調信号の発生によって生じる不要な電磁放射もなくなる。

【構成】 各水平走査期間について、その水平走査期間の階調表示データD1~DNによって1度以上選択される階調信号Tを検出する階調信号選択回路7と、その水平走査期間の階調表示データD1~DNを表示する際に、階調信号発生回路4が階調信号選択回路7で検出された階調信号Tのみを発生させるようにした。





## 【特許請求の範囲】

【請求項1】 各水平走査期間について、アクティブマトリクス方式の液晶表示パネルにおける各信号配線毎に、階調信号発生回路が発生する複数種類の階調信号のうちのいずれかを階調表示データに応じて選択し、該選択した階調信号に基づいた信号電圧を当該信号配線に印加する信号配線駆動回路を備えた液晶表示装置において、

各水平走査期間について、該水平走査期間のいずれの階調表示データによっても選択されない階調信号を検出する非選択検出回路と、

各水平走査期間毎に、該非選択検出回路によって当該水平走査期間について非選択を検出された階調信号を該階調信号発生回路が発生しまたは出力するのを抑制する階調信号抑制回路とが設けられた液晶表示装置。

【請求項2】 アクティブマトリクス方式の液晶表示パネルにおける複数の信号配線が2以上の組にグループ分けされ、それぞれの組の各信号配線毎に、各水平走査期間について、階調信号発生回路が発生する複数種類の階調信号のうちのいずれかを階調表示データに応じて選択し、該選択した階調信号に基づいた信号電圧を当該信号配線に印加する信号配線駆動回路が信号配線の各組毎に設けられた液晶表示装置において、

各水平走査期間について、該水平走査期間のいずれの階調表示データによっても選択されない階調信号を検出する非選択検出回路と、

各水平走査期間毎に、該非選択検出回路によって当該水平走査期間について非選択を検出された階調信号を該階調信号発生回路が発生しまたは出力するのを抑制する階調信号抑制回路とが各信号配線駆動回路毎に設けられた液晶表示装置。

【請求項3】 各水平走査期間について、アクティブマトリクス方式の液晶表示パネルにおける各信号配線毎に、階調信号発生回路が発生する複数種類の階調信号のうちのいずれか1または2以上の階調信号を階調表示データに応じて選択し、該選択した1または2以上の階調信号に基づいた信号電圧を当該信号配線に印加する信号配線駆動回路を備えた液晶表示装置において、

各水平走査期間について、該水平走査期間のいずれの階調表示データによっても選択されない階調信号を検出する非選択検出回路と、

各水平走査期間毎に、該非選択検出回路によって当該水平走査期間について非選択を検出された階調信号を該階調信号発生回路が発生しまたは出力するのを抑制する階調信号抑制回路とが設けられた液晶表示装置。

【請求項4】 アクティブマトリクス方式の液晶表示パネルにおける複数の信号配線が2以上の組にグループ分けされ、それぞれの組の各信号配線毎に、各水平走査期間について、階調信号発生回路が発生する複数種類の階調信号のうちのいずれか1または2以上の階調信号を階

調表示データに応じて選択し、該選択した1または2以上の階調信号に基づいた信号電圧を当該信号配線に印加する信号配線駆動回路が信号配線の各組毎に設けられた液晶表示装置において、

各水平走査期間について、該水平走査期間のいずれの階調表示データによっても選択されない階調信号を検出する非選択検出回路と、

各水平走査期間毎に、該非選択検出回路によって当該水平走査期間について非選択を検出された階調信号を該階調信号発生回路が発生しまたは出力するのを抑制する階調信号抑制回路とが各信号配線駆動回路毎に設けられた液晶表示装置。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、階調表示を行うアクティブマトリクス方式の液晶表示装置に関する。

【0002】

【従来の技術】 TFT ([Thin Film Transistor] 薄膜トランジスタ) を用いたアクティブマトリクス方式の液晶表示装置で階調表示を行うための方式としては、各絵素の階調表示データに応じて電圧の異なるアナログ階調電圧を当該絵素に印加するアナログ階調電圧方式と、各絵素の階調表示データに応じてデューティ比の異なるパルス電源電圧を当該絵素に印加する振動階調電圧方式とがある。アナログ階調電圧方式は、階調表示の各段階毎に電圧の異なる階調電圧を発生する電源を用意しなければならないために、電源回路に用いるオペアンプ等のアナログ回路がコストアップを招きチップ面積も増大するという欠点がある。これに対して、振動階調電圧方式は、少なくとも高低2種類の電圧の電源があれば足り、階調表示のための回路のほとんどをディジタル回路で構成することができるので、コストアップを抑制すると共にチップ面積の増大も避けることができるという利点がある。

【0003】 上記振動階調電圧方式による階調表示を行う従来の液晶表示装置を図7に基づいて説明する。この液晶表示装置は、アクティブマトリクス方式の液晶表示パネル1を備えている。液晶表示パネル1は、1対の基板1a、1b間に液晶を封入したものである。一方の基板1aには、多数の信号配線1cと走査配線1dとが交差して形成され、これら信号配線1cと走査配線1dによって区切られる基盤の目状の各領域にそれぞれ絵素電極1eが形成されている。そして、各絵素電極1eが形成された領域が液晶表示パネル1上の絵素となり、これによって絵素がマトリクス状(行列状)に配置されることになる。また、これらの絵素電極1eに隣接する信号配線1cと走査配線1dの交差部には、それぞれTFT 1fが形成されている。各TFT 1fは、絵素電極1eと信号配線1cとの間を接続するスイッチング素子であり、このTFT 1fのゲートは、走査配線1dに接続さ

れている。他方の基板1bには、この基板面全面、または、各絵素の行方向に連なるグループ毎に共通電極が形成されている。なお、図7に示す液晶表示パネル1では、図面を簡単にするために絵素が3行3列に配置された場合を示しているが、実際の液晶表示パネル1では、もっと多くの絵素がマトリクス状に配置される。

【0004】上記液晶表示パネル1の基板1aに形成された各信号配線1cは、それぞれソース駆動回路（信号配線駆動回路）2に接続され、各走査配線1dは、それぞれゲート駆動回路3に接続されている。また、この液晶表示装置には、階調信号発生回路4と電源回路5とコントロール回路6が設けられている。そして、図示しない外部回路から送られて来る階調表示データD1~D4とドットクロック信号CKと水平同期信号HSと垂直同期信号VSがこのコントロール回路6に入力されるようになっている。階調表示データD1~D4は、各絵素の表示階調を2進数値で示した複数ビット（ここでは4ビット）の信号であり、マトリクス状の各絵素の階調表示データD1~D4が4ビットずつ順次シリアルに入力される。そして、コントロール回路6は、この階調表示データD1~D4をそのままソース駆動回路2に送る。また、ドットクロック信号CKは、各絵素の階調表示データD1~D4に同期した信号であり、水平同期信号HSは、水平走査期間に同期した信号であり、垂直同期信号VSは、垂直走査期間に同期した信号である。そして、コントロール回路6は、これらの同期信号に基づいて各種タイミング信号を生成し、それぞれソース駆動回路2とゲート駆動回路3と階調信号発生回路4と電源回路5に送るようになっている。

【0005】ゲート駆動回路3は、コントロール回路6から送られて来るタイミング信号に基づいて、液晶表示パネル1の各走査配線1dを水平走査期間毎に順に走査して走査行の全てのTFT1fを導通させると共に、垂直走査期間毎にこれを繰り返す。電源回路5は、高低の異なる電圧を有する2種類の電源電圧VSH、VSLと、これに対応する電源電圧VCを発生させる回路であり、液晶の交流駆動を行うために、コントロール回路6から送られて来るタイミング信号に基づいて、例えば垂直走査期間毎に、電源電圧VCに対する電源電圧VSH、VSLの極性が反転するようにそれぞれの電圧レベルを切り替える。そして、この電源回路5が発生する電源電圧VSH、VSLはソース駆動回路2に送られ、電源電圧VCは液晶表示パネル1における他方の基板1bの共通電極に印加されるようになっている。

【0006】階調信号発生回路4は、コントロール回路6から送られて来るタイミング信号に基づいて階調信号T1~T16を発生する回路である。階調信号は、振動階調電圧方式では、振幅と周期が一定でデューティ比のみが異なる複数種類のパルス信号であり、階調表示の段階数と同数の階調信号を用いる場合には、階調表示データ

をNビットとすると2<sup>N</sup>種類のパルス信号からなる。そして、ここでは、階調表示データD1~D4が4ビットであり、これによる段階数と同数の階調信号を用いるので、この階調信号発生回路4が発生する階調信号T1~T16は、図8に示すように、それぞれデューティ比が異なる16種類のパルス信号からなる。そして、この階調信号T1~T16は、図7に示すように、ソース駆動回路2に送られるようになっている。

【0007】ソース駆動回路2は、コントロール回路6から送られて来るタイミング信号に基づいて階調表示データD1~D4を絵素毎にサンプリングし、水平走査期間毎に一斉にホールドする動作を繰り返す。そして、ホールドした1行分の各階調表示データD1~D4をそれぞれデコードしていずれか1種類の階調信号Tを選択し、この選択された階調信号Tのデューティ比に応じて2種類の電源電圧VSH、VSLを切り替えることによりパルス状の電源電圧、即ちパルス電源電圧を各信号配線1cに印加する。したがって、このソース駆動回路2が階調信号TのHレベルの間は高電圧の電源電圧VSHを印加しLレベルの間は低電圧の電源電圧VSLを印加するものとする。信号配線1cには、図9に示すように、周期Ttのうちの期間mでは電源電圧VSHとなり期間nでは電源電圧VSLとなる階調表示データD1~D4に応じたデューティ比がm/Ttのパルス電源電圧が印加される。また、このようにして信号配線1cに印加されたパルス電源電圧は、ゲート駆動回路3によって走査された行の各TFT1fを介してそれぞれ絵素電極1eに印加されることになる。

【0008】ここで、ソース駆動回路2が1本の信号配線1cにパルス電源電圧を印加すると、この信号配線1cからTFT1fを介して絵素電極1eに電流が流れ、この絵素電極1eと液晶層と基板1bの共通電極によって構成される絵素容量が充電される。そして、このような回路は、TFT1fのON抵抗と絵素容量との直列回路により低域通過フィルタ特性を示すことになり、しかも、これらON抵抗と絵素容量による時定数が大きいため遮断周波数が低くなるので、パルス電源電圧のほぼ直流成分（平均電圧）のみが絵素電極1eに印加されるようになる。したがって、デューティ比が異なるパルス電源電圧を印加すれば、絵素電極1eにはこのデューティ比に応じて異なる電圧が充電され、例えば上記デューティ比がm/Ttのパルス電源電圧を印加した場合には、 $(mVSH + nVSL) / Tt$ の平均電圧が充電されるので、これによって液晶の階調表示が可能となる。

【0009】また、振動階調電圧方式においては、上記のように階調表示の段階数と同数の階調信号T1~T16を用いるのではなく、これよりも少ない種類の基本階調信号からソース駆動回路2によって階調表示の段階数分の階調信号を生成する補間階調方式を用いる場合もあった。即ち、この補間階調方式は、上記従来例のように階

調表示データD1~D4が4ビットの場合、この階調表示の段階数は16段階ではあるが、図10に示すように、5種類の階調信号T1, T5, T9, T13, T16を基本階調信号として定め、その他の各段階の階調信号T2~T4, T6~T8, T10~T12, T14, T15は、ソース駆動回路2によって、周期T1の4周期(4T1)の間にこれら基本階調信号のうちの2種類の階調信号Tを切り替えて信号配線1cに印加することにより生成するようにした方式である。例えば、階調信号T6では、初めの3周期に階調信号T5を印加し、残りの1周期に階調信号T9を印加するようにし、また、階調信号T7では、前半の2周期に階調信号T5を印加し、後半の2周期に階調信号T9を印加することにより、実質的に図8に示した階調信号T6, T7と同じ直流成分を絵素電極1eに印加することができる。

【0010】上記補間階調方式によれば、図7に示す階調信号発生回路4が5種類の階調信号T1, T5, T9, T13, T16のみを発生させればよいので、この階調信号発生回路4が発生しソース駆動回路2に送る階調信号Tの数を減少させることができるという利点がある。

【0011】

【発明が解決しようとする課題】ところが、上記振動階調電圧方式の従来の液晶表示装置では、階調信号発生回路4が階調表示データD1~D4の値にかかわらず常に16種類の階調信号T1~T16または基本階調信号である5種類の階調信号T1, T5, T9, T13, T16の全てを発生させてソース駆動回路2に送り続けるようになっている。しかしながら、液晶表示パネル1に表示される映像によっては、垂直走査期間の全期間または一部の水平走査期間での階調表示に偏りが生じ、特定の階調信号のみが利用される場合が生じる。そして、この場合には、他の利用されない階調信号が階調信号発生回路4で無駄に発生されソース駆動回路2に送られることになる。

【0012】このため、従来は、階調信号発生回路4が表示映像によっては不必要な階調信号まで常時発生させるために、消費電力に無駄が生じるという問題があった。しかも、このように不必要な階調信号を発生させてソース駆動回路2に送ることにより、液晶表示装置が必要以上の電磁放射(輻射)を生じさせるという問題もあった。

【0013】また、アナログ階調電圧方式の従来の液晶表示装置においても、階調信号発生回路が複数種類のアナログ階調電圧からなる階調信号を常時発生するので、表示映像によっては不必要な階調信号まで発生させることにより、消費電力に無駄が生じるという問題があった。しかも、交流駆動のために階調信号のアナログ階調電圧レベルを切り替える場合には、必要以上の電磁放射を生じさせるという問題もあった。

【0014】本発明は、上記従来の問題を解決するもので、階調表示データに応じて必要な階調信号のみを発生

させることにより、電力消費を低減させると共に不必要な電磁放射を減少させることができる液晶表示装置を提供することを目的とする。

【0015】

【課題を解決するための手段】本発明の液晶表示装置は、各水平走査期間について、アクティブマトリクス方式の液晶表示パネルにおける各信号配線毎に、階調信号発生回路が発生する複数種類の階調信号のうちのいずれかを階調表示データに応じて選択し、該選択した階調信号に基づいた信号電圧を当該信号配線に印加する信号配線駆動回路を備えた液晶表示装置において、各水平走査期間について、該水平走査期間のいずれの階調表示データによっても選択されない階調信号を検出する非選択検出回路と、各水平走査期間毎に、該非選択検出回路によって当該水平走査期間について非選択を検出された階調信号を該階調信号発生回路が発生しまたは出力するのを抑制する階調信号抑制回路とが設けられたものであり、そのことにより上記目的が達成される。

【0016】また、好ましくは、アクティブマトリクス方式の液晶表示パネルにおける複数の信号配線が2以上の組にグループ分けされ、それぞれの組の各信号配線毎に、各水平走査期間について、階調信号発生回路が発生する複数種類の階調信号のうちのいずれかを階調表示データに応じて選択し、該選択した階調信号に基づいた信号電圧を当該信号配線に印加する信号配線駆動回路が信号配線の各組毎に設けられた液晶表示装置において、各水平走査期間について、該水平走査期間のいずれの階調表示データによっても選択されない階調信号を検出する非選択検出回路と、各水平走査期間毎に、該非選択検出回路によって当該水平走査期間について非選択を検出された階調信号を該階調信号発生回路が発生しまたは出力するのを抑制する階調信号抑制回路とが各信号配線駆動回路毎に設けられる。

【0017】さらに、好ましくは、各水平走査期間について、アクティブマトリクス方式の液晶表示パネルにおける各信号配線毎に、階調信号発生回路が発生する複数種類の階調信号のうちのいずれか1または2以上の階調信号を階調表示データに応じて選択し、該選択した1または2以上の階調信号に基づいた信号電圧を当該信号配線に印加する信号配線駆動回路を備えた液晶表示装置において、各水平走査期間について、該水平走査期間のいずれの階調表示データによっても選択されない階調信号を検出する非選択検出回路と、各水平走査期間毎に、該非選択検出回路によって当該水平走査期間について非選択を検出された階調信号を該階調信号発生回路が発生しまたは出力するのを抑制する階調信号抑制回路とが設けられる。さらに、好ましくは、アクティブマトリクス方式の液晶表示パネルにおける複数の信号配線が2以上の組にグループ分けされ、それぞれの組の各信号配線毎に、各水平走査期間について、階調信号発生回路が発生

する複数種類の階調信号のうちのいずれか1または2以上の階調信号を階調表示データに応じて選択し、該選択した1または2以上の階調信号に基づいた信号電圧を当該信号配線に印加する信号配線駆動回路が信号配線の各組毎に設けられた液晶表示装置において、各水平走査期間について、該水平走査期間のいずれの階調表示データによっても選択されない階調信号を検出する非選択検出回路と、各水平走査期間毎に、該非選択検出回路によって当該水平走査期間について非選択を検出された階調信号を該階調信号発生回路が発生しまたは出力するのを抑制する階調信号抑制回路とが各信号配線駆動回路毎に設けられる。

【0018】

【作用】上記構成により、信号配線駆動回路は、各水平走査期間について、各信号配線毎に、階調表示データに応じて選択した階調信号に基づいた信号電圧をそれぞれの信号配線に印加する。振動階調電圧方式の場合には、この階調信号は、振幅と周期が一定でデューティ比のみが異なる信号であり、信号配線には、選択された階調信号に対応するデューティ比のパルス電源電圧が信号電圧として印加される。また、アナログ階調電圧方式の場合には、この階調信号は、電圧の異なるアナログ階調電圧であり、信号配線には、選択されたアナログ階調電圧そのものが信号電圧として印加される。

【0019】非選択検出回路は、各水平走査期間について、その水平走査期間のいずれの階調表示データによっても選択されない階調信号を検出する。水平走査期間の階調表示データを実際に表示する時には、その水平走査期間についての非選択の階調信号の検出が完了している必要がある。

【0020】階調信号抑制回路は、各水平走査期間毎に、上記非選択検出回路によってその水平走査期間について非選択を検出された階調信号を階調信号発生回路が発生しまたは出力するのを抑制する。階調信号の発生を一部でも抑制すれば、この階調信号の発生の際に消費する電力を低減させると共に、この発生に伴って放射される電磁波を減少させることができる。また、階調信号発生回路が発生した階調信号の一部でも出力を抑制すれば、この階調信号を行駆動回路に送るための信号線を充放電する際の電力を低減させると共に、この信号線上で放射される電磁波を減少させることができる。

【0021】この結果、請求項1の発明によれば、階調信号発生回路が実際の階調表示データに応じて必要な階調信号だけを発生させまたは出力するので、不必要な階調信号の発生や出力による消費電力の無駄を低減すると共に、不要な電磁放射も減少させることができる。

【0022】請求項2の発明は、複数の信号配線を2以上の組にグループ分けし、各組ごとに信号配線駆動回路を設けた場合を示す。例えば液晶表示パネルの上下両側に信号配線駆動回路をそれぞれ設け、上側の信号配線駆

動回路は奇数番目の信号配線を駆動し、下側の信号配線駆動回路は偶数番目の信号配線を駆動するように構成される場合がある。そして、このような場合に、それぞれの信号配線駆動回路の非選択検出回路が非選択の階調信号を検出し、その信号配線駆動回路の階調信号抑制回路がこの検出結果に基づいて信号配線駆動回路毎に独立に階調信号発生回路での階調信号の発生または出力を制御すれば、より木目細かく消費電力の低減と電磁放射の減少を図ることができるようになる。

10 【0023】請求項3の発明は、補間階調方式の液晶表示装置の場合を示すものである。この液晶表示装置では、階調表示データに応じて2以上の階調信号が選択されることがあり、振動階調電圧方式の場合には、選択された2以上の各階調信号のデューティ比に応じたパルス電源電圧を順次切り替えて当該絵素に印加することにより液晶の階調表示を行わせる。また、アナログ階調電圧方式の場合には、選択された2以上の各階調信号のアナログ階調電圧を所定のデューティ比に応じて順次切り替えて当該絵素に印加することにより液晶の階調表示を行わせる。そして、このような液晶表示装置においても、

20 選択されない階調信号は生じ得るので、消費電力の無駄を低減すると共に、不要な電磁放射を減少させることができる。

30 【0024】請求項4の発明は、複数の信号配線を2以上の組にグループ分けし、各組ごとに信号配線駆動回路を設けた補間階調方式の液晶表示装置の場合を示す。この場合にも、請求項2および請求項3の場合と同様に、消費電力の無駄を低減すると共に、不要な電磁放射を減少させることができる。

30 【0025】

【実施例】以下、本発明の実施例について説明する。

【0026】図1～図3は本発明の第1実施例を示すものであって、図1は液晶表示装置の構成を示すブロック図、図2は階調信号選択回路の構成を示すブロック図、図3は階調信号選択回路の動作を示すタイムチャートである。

40 【0027】本実施例は、カラー映像を表示する液晶表示装置について説明する。したがって、図1に示す液晶表示パネル1は、各絵素にRGB3原色のいずれかの色フィルタが配置されたカラー表示用のものが用いられている。また、階調表示データD1～DNは、RGB3原色の各色毎の複数ビット(Nビット)の信号からなり、赤色データR1～RNと緑色データG1～GNと青色データB1～BNに区別される。この液晶表示装置におけるソース駆動回路2とゲート駆動回路3と電源回路5は、階調表示データD1～DNが各色毎のNビットの信号であるという点と、階調信号Tが2種類のパルス信号からなるという点以外では、図7に示したものと同一構成であるため説明を省略する。なお、図1では、電源回路5が液晶表示パネル1の共通電極に電源電圧VCを印加するため

の回路も省略して示している。コントロール回路6は、図7に示したものと同様に、階調表示データD1~DNとドットクロック信号CKと水平同期信号HSと垂直同期信号VSに基づいて各種タイミング信号を生成する回路であるが、これらのタイミング信号をそれぞれソース駆動回路2とゲート駆動回路3と階調信号発生回路4と電源回路5に送ると共に、階調信号選択回路7にも送るようになっている。また、このコントロール回路6は、階調表示データD1~DNをソース駆動回路2と共に階調信号選択回路7にも送るようになっている。階調信号発生回路4も、図7に示したものと同様に、コントロール回路6から送られて来るタイミング信号に基づいて階調信号Tを発生する回路であるが、実際に階調信号発生回路4が発生する階調信号Tは、階調信号選択回路7から送られて来る選択信号Sによって指示されたものに限られる。

【0028】階調信号選択回路7は、コントロール回路6から送られて来る階調表示データD1~DNとタイミング信号に基づいて、各水平走査期間について、その水平走査期間のいずれかの階調表示データD1~DNによって1度でも選択される階調信号Tを全て検出し、この検出結果を示す選択信号Sを生成する回路である。即ち、この階調信号選択回路7は、図2に示すように、ORゲート部7aとデコーダ7bとラッチ部7cと一時記憶部7dとホールド部7eとリセットラッチ回路7fとで構成される。ORゲート部7aは、階調表示データD1~DNのビット数に対応するN個のORゲートからなり、各ORゲートには、階調表示データD1~DNの赤色データR1~RNと緑色データG1~GNと青色データB1~BNにおける対応する各ビットのデータがそれぞれ入力されるようになっている。この際、例えば赤色データR1~RNがNビットをパラレルに入力されると、次に緑色データG1~GNがNビットをパラレルに入力されるというように、各色のデータは、N本ずつの異なるラインを介して時間的に順次ずれて入力される。したがって、このORゲート部7aのORゲートからは、階調表示データD1~DNにおける色には無関係に階調表示の段階のみを示すNビットのデータC1~CNが出力され、これがデコーダ7bに入力される。なお、階調表示データD1~DNは、各色のデータが時分割されているので、これら各色のデータを1組のN本のラインのみを介して順次入力する場合には、ORゲート部7aは特に必要がなくなる。

【0029】上記デコーダ7bは、各水平走査期間の有効映像期間を示す期間信号TSがHレベルの間のみデコード動作を行う回路であり、NビットのデータC1~CNの2進数値に応じて2<sup>N</sup>本の出力TTのうちいずれか1本の出力TTのみをHレベルとする。この2<sup>N</sup>本の各出力TTは、2<sup>N</sup>種類の各階調信号Tにそれぞれ対応している。このデコーダ7bに入力されるNビットのデータC1~CNの各2進数値とHレベルになる出力TTとの関

係を表1に示す。

【0030】

【表1】

デコーダ7bの入力					Hレベルとなる デコーダ7bの出力 (階調信号T)
CN	CN-1	...	C2	C1	
0	0	...	0	0	TT1
0	0	...	0	1	TT2
0	0	...	1	0	TT3
0	0	...	1	1	TT4
0	0	...	0	0	TT5
⋮	⋮	⋮	⋮	⋮	⋮
1	1	...	0	0	TT2 <sup>N-3</sup>
1	1	...	0	1	TT2 <sup>N-2</sup>
1	1	...	1	0	TT2 <sup>N-1</sup>
1	1	...	1	1	TT2 <sup>N</sup>

【0031】この表1から明らかなようにデータC1~CNの各2進数値と2<sup>N</sup>本の各出力TTとは1対1で対応している。そして、ソース駆動回路2に内蔵されるデコーダも、この表1と同様の対応により、階調表示データD1~DNに応じて階調信号Tを選択する。また、階調表示データDが図7と同じ4ビットであり階調信号Tが16種類である場合、即ちデコーダ7bに入力されるデータCが4ビットでありこのデコーダ7bの出力TTが16本である場合の対応表を表2に示す。

【0032】

【表2】

デコーダ7bの入力				Hレベルとなる デコーダ7bの出力 (階調信号T)
C4	C3	C2	C1	
0	0	0	0	TT1
0	0	0	1	TT2
0	0	1	0	TT3
0	0	1	1	TT4
0	1	0	0	TT5
0	1	0	1	TT6
0	1	1	0	TT7
0	1	1	1	TT8
1	0	0	0	TT9
1	0	0	1	TT10
1	0	1	0	TT11
1	0	1	1	TT12
1	1	0	0	TT13
1	1	0	1	TT14
1	1	1	0	TT15
1	1	1	1	TT16

【0033】上記デコーダ7bの2<sup>N</sup>本の出力TTは、ラッチ部7cに入力される。このラッチ部7cは、2<sup>N</sup>個のラッチ回路からなり、各ラッチ回路は、デコーダ7bの各出力TTをコントロール回路6から送られて来るタイミング信号の一部であるドットクロック信号CKの立ち下がりによってラッチする。したがって、このラッ



チ部7cの各ラッチ回路には、Nビットの各色のデータが入力されるたびに、デコーダ7bの各出力TTがラッチされることになる。また、このラッチ部7cの各ラッチ回路の出力は、一時記憶部7dに入力される。

【0034】上記一時記憶部7dは、2<sup>n</sup>個のRSフリップフロップ回路からなり、これらの各RSフリップフロップ回路は、ラッチ部7cの対応するラッチ回路の出力の立ち下がりによりセットされるようになっている。また、各RSフリップフロップ回路は、リセットラッチ回路7fの出力が立ち下がった場合にリセットされる。このリセットラッチ回路7fは、コントロール回路6から送られて来るタイミング信号の一部であるリセット信号RSを上記ドットクロック信号CKの立ち下がりによってラッチする回路であり、リセット信号RSは、各水平走査期間の終了時にドットクロック信号CKの1周期の間のみHレベルとなるパルス信号である。したがって、この一時記憶部7dは、各水平走査期間毎に、一度でもデコーダ7bの出力TTがHレベルになると、その出力TTに対応するRSフリップフロップ回路がHレベルを保持することになる。そして、この一時記憶部7dの各RSフリップフロップ回路の出力は、ホールド部7eに入力される。

【0035】ホールド部7eは、2<sup>n</sup>個のラッチ回路からなり、これらの各ラッチ回路は、コントロール回路6から送られて来るタイミング信号の一部であるホールド信号HDの立ち下がりによって一時記憶部7dの各RSフリップフロップ回路の出力をラッチするようになっている。このホールド信号HDは、各水平走査期間の終了時であってリセット信号RSよりも早い時期にドットクロック信号CKの1周期の間のみHレベルとなるパルス信号である。したがって、このホールド部7eは、各水平走査期間の終了時に、その水平走査期間内に一度でもHレベルとなったデコーダ7bの出力TTに対応するラッチ回路の出力のみがHレベルとなり、この出力を次の水平走査期間の終了時まで保持する。そして、このホールド部7eの2<sup>n</sup>個の各ラッチ回路の出力が選択信号Sとして、図1に示すように階調信号発生回路4に送られることになる。

【0036】上記階調信号選択回路7の動作例を図3に基づいて説明する。ドットクロック信号CKは、ORゲート部7aから出力される各絵素のデータC1～CNに同期したクロック信号である。水平走査期間の初期の時刻t1に期間信号TSがHレベルになるとデコーダ7bが動作を開始して、各データC1～CNのデコードを行う。そして、時刻t2にデコーダ7bのいずれかの出力TTがHレベルになったとすると、次にドットクロック信号CKが立ち下がる時刻t3にラッチ部7cの対応するラッチ回路がこれをラッチしてHレベルを出力する。また、その次にドットクロック信号CKが立ち下がる時刻t4にこのラッチ部7cのラッチ回路の出力がLレベル

に戻ると、一時記憶部7dの対応するRSフリップフロップ回路がセットされてHレベルを出力するようになる。そして、この時刻t4以降も、デコーダ7bのいずれかの出力TTがHレベルになると、同様に一時記憶部7dの対応するRSフリップフロップ回路がHレベルの出力を保持する。

【0037】上記水平走査期間の終期の時刻t5に期間信号TSがLレベルに戻ると、デコーダ7bが動作を停止する。しかし、一時記憶部7dのRSフリップフロップ回路はセット状態を保持しているため、時刻t6にホールド信号HDが一旦Hレベルとなって時刻t7にLレベルに戻ると、ホールド部7eの対応するラッチ回路がこの一時記憶部7dのRSフリップフロップ回路の出力をラッチし、これに伴って対応する選択信号SがHレベルとなる。そして、この選択信号Sは、次の水平走査期間の終期まで維持される。また、時刻t7にはリセット信号RSが一旦Hレベルとなり時刻t8にLレベルに戻るため、リセットラッチ回路7fの出力も時刻t8に一旦Hレベルになり時刻t9にLレベルに戻る。したがって、一時記憶部7dの各RSフリップフロップ回路は、この時刻t9にリセットされて、次の水平走査期間の動作に備える。

【0038】図1に示すように、上記階調信号選択回路7から出力された2<sup>n</sup>ビットの選択信号Sを入力する階調信号発生回路4は、内部に設けられた階調信号抑制回路によって当該選択信号SのうちのHレベルのビットに対応する階調信号Tのみを発生させるようになっている。この際、選択信号SのLレベルのビットに対応する非選択の階調信号Tは、例えばLレベルに固定されて出力される。この階調信号Tは、ソース駆動回路2に送られる。ソース駆動回路2は、図7の場合と異なり非選択の階調信号Tについては例えばLレベルに固定されて入力されることになるが、この非選択の階調信号Tはその水平走査期間には階調表示データD1～DNによって選択されることはないため、動作自体は図7の場合と同じになる。したがって、各水平走査期間に、ソース駆動回路2で階調表示データD1～DNのサンプルホールドが行われている間に、階調信号選択回路7ではこの階調表示データD1～DNによって選択される階調信号Tの検出が行われ、次の水平走査期間に、ソース駆動回路2がサンプルホールドした階調表示データD1～DNに応じて選択した階調信号Tに基づいて各信号配線1cにパルス電源電圧を印加する際に、階調信号選択回路7がその階調表示データD1～DNに応じた選択信号Sを出力して階調信号発生回路4による階調信号Tの一部の発生を抑制することになる。

【0039】この結果、本実施例の液晶表示装置によれば、各水平走査期間毎に実際の階調表示データD1～DNに応じて必要となる階調信号Tだけを発生させるので、階調信号発生回路4が不必要な階調信号Tを発生させる

ことによる消費電力の無駄を低減すると共に、不要な電磁放射も減少させることができる。

【0040】なお、上記実施例では、階調信号発生回路4が階調表示の段階数2<sup>n</sup>と同数の階調信号Tを発生させるようになっていたが、2種類の基本階調信号を組み合わせる補間階調方式の場合には、これよりも少ない数（ここではM種類とする）の階調信号Tを発生させれば足りる。ただし、この場合には、図2に示したデコーダ

7bがデータC1～CNの各2進数値に対して、M本の出力TTのうちの1本または2本の出力TTをHレベルとする。このときのデコーダ7bに入力されるNビットのデータC1～CNの各2進数値と各出力TTとの関係を表3に示す。

【0041】

【表3】

デコーダ7bの入力					デコーダ7bの出力（階調信号T）						
CN	CN-1	...	C2	C1	TT1	TT2	TT3	...	TTM-j	TTM-i	TTM
0	0	...	0	0	H	L	L	...	L	L	L
0	0	...	0	1	H	H	L	...	L	L	L
0	0	...	1	0	H	H	L	...	L	L	L
0	0	...	1	1	H	H	L	...	L	L	L
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮
					H	H	L	...	L	L	L
					L	H	L	...	L	L	L
					L	H	H	...	L	L	L
					⋮	⋮	⋮	⋮	⋮	⋮	⋮
					L	H	H	...	L	L	L
					L	H	H	...	L	L	L
					⋮	⋮	⋮	⋮	⋮	⋮	⋮
					L	L	L	...	H	H	L
					L	L	L	...	H	H	L
					⋮	⋮	⋮	⋮	⋮	⋮	⋮
					L	L	L	...	H	H	L
					L	L	L	...	L	H	L
					L	L	L	...	L	H	H
					⋮	⋮	⋮	⋮	⋮	⋮	⋮
1	1	...	0	0	L	L	L	...	L	H	H
1	1	...	0	1	L	L	L	...	L	H	H
1	1	...	1	0	L	L	L	...	L	H	H
1	1	...	1	1	L	L	L	...	L	L	H

【0042】この表3では、データC1～CNの2進数値に応じて1本または隣接する2本の出力TTがHレベルとなり、他はLレベルとなる。ただし、このように2本の出力が同時にHレベルとなっても、ラッチ部7c以降の動作には変わりはなく、上記実施例と同様にMビットの選択信号Sが階調信号発生回路4に送られ、M種類の階調信号Tのうちこの選択信号SのビットがHレベルとなるものだけが発生されてソース駆動回路2に送られることになる。また、デコーダ7bに入力されるデータCが4ビットであり、5種類の階調信号T1、T5、T9、T13、T16を基本階調信号とした場合のデータCの各2進数値と各出力TTとの関係を表4に示す。

【0043】

【表4】

デコーダ7bの入力				デコーダ7bの出力(階調信号T)				
C4	C3	C2	C1	TT1	TT5	TT9	TT13	TT16
0	0	0	0	H	L	L	L	L
0	0	0	1	H	H	L	L	L
0	0	1	0	H	H	L	L	L
0	0	1	1	H	H	L	L	L
0	1	0	0	L	H	L	L	L
0	1	0	1	L	H	H	L	L
0	1	1	0	L	H	H	L	L
0	1	1	1	L	H	H	L	L
1	0	0	0	L	L	H	L	L
1	0	0	1	L	L	H	H	L
1	0	1	0	L	L	H	H	L
1	0	1	1	L	L	H	H	L
1	1	0	0	L	L	L	H	L
1	1	0	1	L	L	L	H	H
1	1	1	0	L	L	L	H	H
1	1	1	1	L	L	L	L	H

【0044】以上説明したように、この補間階調方式は、階調信号発生回路4が発生する階調信号Tの種類が元々少ないものではあるが、さらに不必要な階調信号Tの発生を抑制して、より一層の消費電力の節約を図ると共に、不要な電磁放射も減少させることができる。

【0045】図4および図5は本発明の第2実施例を示すものであって、図4は階調信号発生回路と階調信号選択回路を示すブロック図、図5は階調信号選択回路の構成を示すブロック図である。なお、図1および図2に示した第1実施例と同様の機能を有する構成部材には同じ番号を付記して説明を省略する。

【0046】図4に示すように、本実施例では、階調信号発生回路4で発生された階調信号Tが階調信号選択回路7を介してソース駆動回路2に送られるようになっている。この階調信号選択回路7は、図5に示すように、階調信号発生回路4で発生された2<sup>4</sup>種類の階調信号Tをゲート部7gを介して出力する。ORゲート部7a、デコーダ7b、ラッチ部7c、一時記憶部7d、ホールド部7eおよびリセットラッチ回路7fの構成は、図2に示したものと同一である。しかし、ホールド部7eの各ラッチ回路の出力は、選択信号Sとして出力する代わりに、ゲート部7gに入力している。ゲート部7gは、2<sup>4</sup>個のANDゲートからなり、各ANDゲートの方の入力端子にホールド部7eの各ラッチ回路の出力が入力されるようになっている。また、各ANDゲートの他方の入力端子には、階調信号発生回路4で発生された各階調信号Tが入力される。したがって、階調信号発生回路4で発生された各階調信号Tは、この階調信号選択回路7で選択されたものだけがそのまま通過し、非選択の階調信号Tは、Lレベルに固定してソース駆動回路2に送られることになる。

【0047】この結果、本実施例の液晶表示装置では、各水平走査期間毎に実際の階調表示データD1~DNに

じて必要となる階調信号Tだけをソース駆動回路2に送るようにして、階調信号選択回路7が不必要な階調信号の出力を遮断するので、これによって消費電力の無駄を低減すると共に、不要な電磁放射を減少させることができる。また、補間階調方式の場合にも、階調信号選択回路7のデコーダ7bを表3または表4に示すような入力関係のものとするれば、同様の効果を得ることができる。

【0048】図6は本発明の第3実施例を示すものであって、液晶表示装置の構成を示すブロック図である。なお、図1および図2に示した第1実施例と同様の機能を有する構成部材には同じ番号を付記して説明を省略する。

【0049】本実施例は、図1に示したソース駆動回路2に代えて、液晶表示パネル1の上部に上部ソース駆動回路21を設けると共に、下部に下部ソース駆動回路22を設けた液晶表示装置について説明する。また、本実施例の液晶表示装置は、図1に示した階調信号選択回路7に代えて、これら上部と下部のソース駆動回路21、22に対応する上部階調信号選択回路71と下部階調信号選択回路72とを設けている。

【0050】液晶表示パネル1の一方の基板に形成された各信号配線1cは、1本置きまたは数本置きに上部と下部のソース駆動回路21、22に接続されている。即ち、例えばRGB3原色の各色の全ての信号配線1cを奇数番目と偶数番目とにグループ分けして、奇数番目の各信号配線1cは上部ソース駆動回路21に接続すると共に偶数番目の各信号配線1cは下部ソース駆動回路22に接続したり、または、各信号配線1cをRGB3原色の3本ごと一括し、これら一括された各3本ずつの信号配線1cを奇数番目と偶数番目とにグループ分けして、奇数番目の各3本ずつの信号配線1cは上部ソース駆動回路21に接続すると共に偶数番目の各3本ずつの信号配線1cは下部ソース駆動回路22に接続する。また、コントロール回路6は、各信号配線1cに対応する階調表示データD1~DNを、グループ分けした一方の各信号配線1cに対応する上部階調表示データD1~DNと他方の各信号配線1cに対応する下部階調表示データD1~DNとに分けて、上部階調表示データD1~DNを上部ソース駆動回路21と上部階調信号選択回路71に送ると共に、下部階調表示データD1~DNを下部ソース駆動回路22と下部階調信号選択回路72に送るようになっている。上部と下部のソース駆動回路21、22は、接続される信号配線1cの本数が半減する以外は、共に図1に示したソース駆動回路2と同様の構成である。また、上部と下部の階調信号選択回路71、72も、各水平走査期間に入力される階調表示データD1~DNの数が半減する以外は、共に図1に示した階調信号選択回路7と同様の構成である。

【0051】階調信号発生回路4には、上部階調信号選択回路71と下部階調信号選択回路72からそれぞれ選



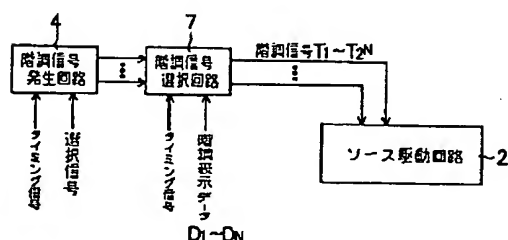
択信号Sが入力されるようになっている。この階調信号発生回路4は、これらの選択信号Sに基づいてそれぞれ上部階調信号Tと下部階調信号Tとを別個に発生させてもよいし、これらの選択信号Sの各ビット毎の論理和をとった信号に基づいて1組の階調信号Tを発生させ、それぞれの選択信号Sでマスクすることにより上部階調信号Tと下部階調信号Tに分離してもよい。そして、この階調信号発生回路4からの上部階調信号Tが上部ソース駆動回路21に送られ、下部階調信号Tが下部ソース駆動回路22に送られることになる。

【0052】この結果、本実施例の液晶表示装置によれば、ソース駆動回路を上部と下部のソース駆動回路21、22に分けて、それぞれのソース駆動回路21、22で必要となる階調信号Tだけを発生させまたは出力を抑制させることができるので、それぞれのソース駆動回路21、22で各階調信号Tが不要となる確率が増加し、消費電力の無駄や不要な電磁放射をより目細かく低減させることができるようになる。しかも、ソース駆動回路をさらに細分すれば、より一層消費電力の無駄を低減し不要な電磁放射を減少させることも可能となる。

【0053】また、補間階調方式の場合にも、上部と下部の階調信号選択回路71、72のデコーダを表3または表4に示すような入力関係のものとするれば、同様の効果を得ることができる。さらに、第2実施例の場合と同様に、階調信号発生回路4が発生させた同じ階調信号Tを上部階調信号選択回路71を介して上部ソース駆動回路21に送ると共に、下部階調信号選択回路72を介して下部ソース駆動回路22に送るようにすることもできる。

【0054】なお、上記第1実施例～第3実施例は、いずれも図7に示した従来の液晶表示装置と同様に、振動階調電圧方式によって階調表示を行う液晶表示装置について説明したが、階調信号発生回路が発生する階調信号をアナログ階調電圧とし、ソース駆動回路が階調表示データD1～DNに応じて選択したこのアナログ階調電圧を各信号配線1cに出力するようにしたアナログ階調電圧方式の場合にも同様に本発明を実施することができる。この場合、電源回路5は、電源電圧VSH、VSLを発生させる必要がなくなり、電源電圧VCのみを発生させればよい。

【図4】



## 【0055】

【発明の効果】以上のように本発明の液晶表示装置によれば、実際に表示に用いる階調表示データが必要としない階調信号の発生または出力を抑制するので、階調信号発生回路が不必要な階調信号を発生させたり出力することにより生じる電力消費の無駄を低減させると共に、この不必要な階調信号の発生や出力によって生じる不要な電磁放射も減少させることができる。

## 【図面の簡単な説明】

10 【図1】本発明の第1実施例を示すものであって、液晶表示装置の構成を示すブロック図である。

【図2】本発明の第1実施例を示すものであって、階調信号選択回路の構成を示すブロック図である。

【図3】本発明の第1実施例を示すものであって、階調信号選択回路の動作を示すタイムチャートである。

【図4】本発明の第2実施例を示すものであって、階調信号発生回路と階調信号選択回路を示すブロック図である。

20 【図5】本発明の第2実施例を示すものであって、階調信号選択回路の構成を示すブロック図である。

【図6】本発明の第3実施例を示すものであって、液晶表示装置の構成を示すブロック図である。

【図7】従来例を示すものであって、液晶表示装置の構成を示すブロック図である。

【図8】従来例を示すものであって、各階調信号を示すタイムチャートである。

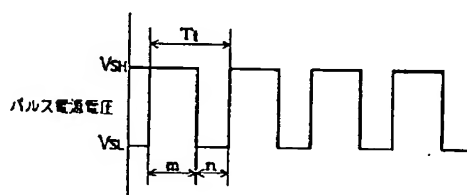
【図9】従来例を示すものであって、パルス電源電圧を示すタイムチャートである。

30 【図10】従来例を示すものであって、補間階調方式の各階調信号を示すタイムチャートである。

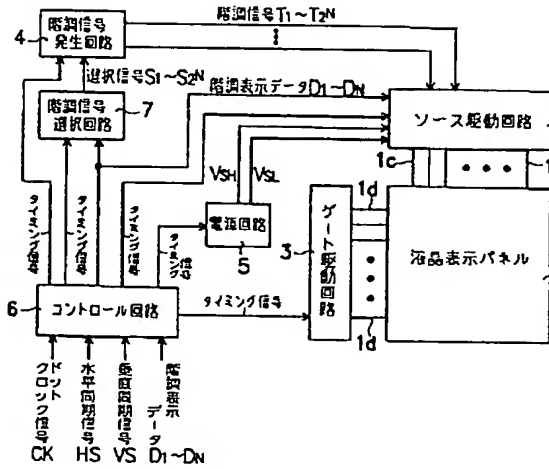
## 【符号の説明】

- 1 液晶表示パネル
- 2 ソース駆動回路
- 3 ゲート駆動回路
- 4 階調信号発生回路
- 7 階調信号選択回路
- 21 上部ソース駆動回路
- 22 下部ソース駆動回路
- 71 上部階調信号選択回路
- 40 72 下部階調信号選択回路

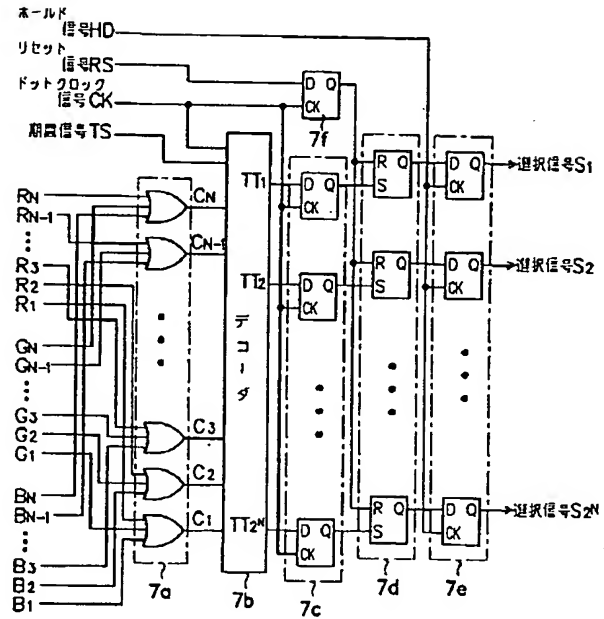
【図9】



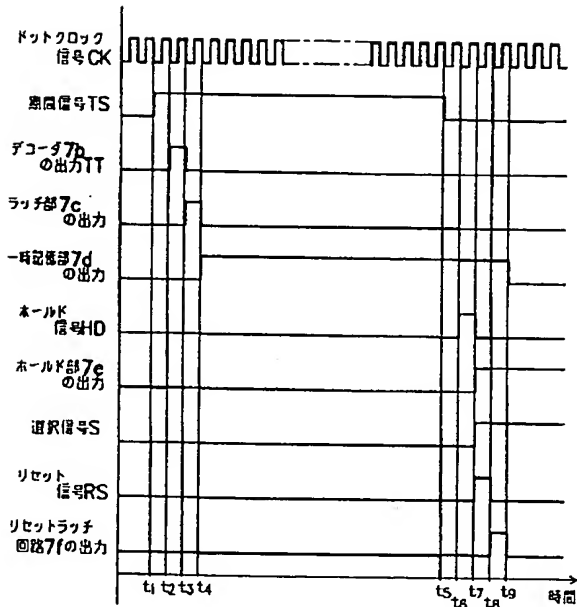
【図1】



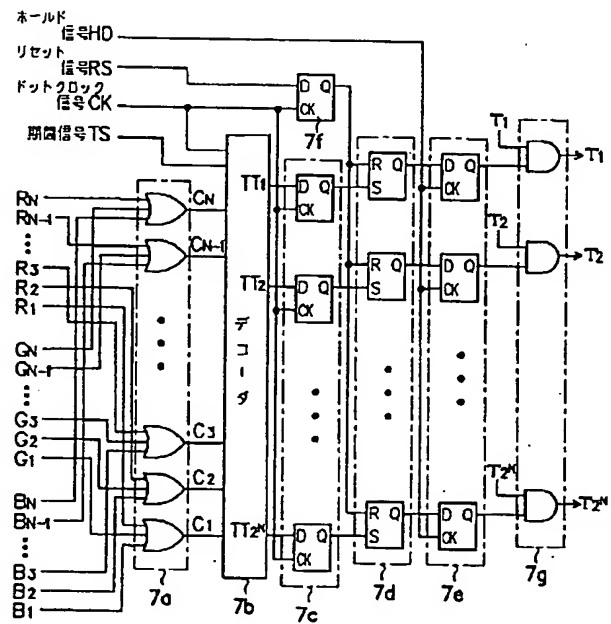
【図2】



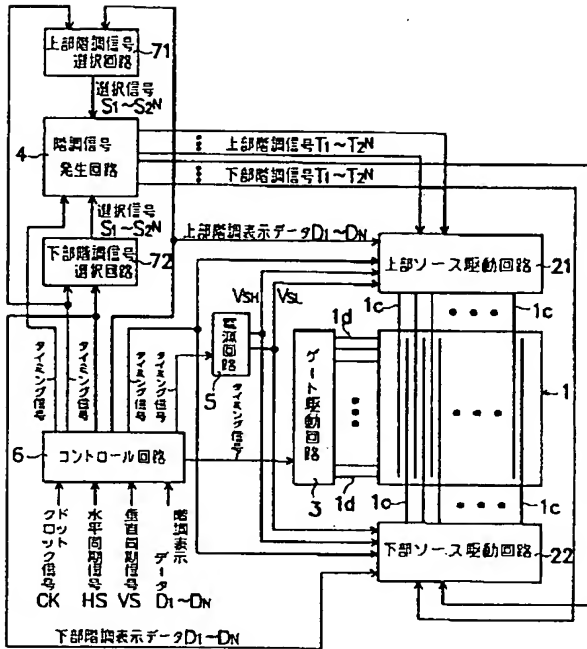
【図3】



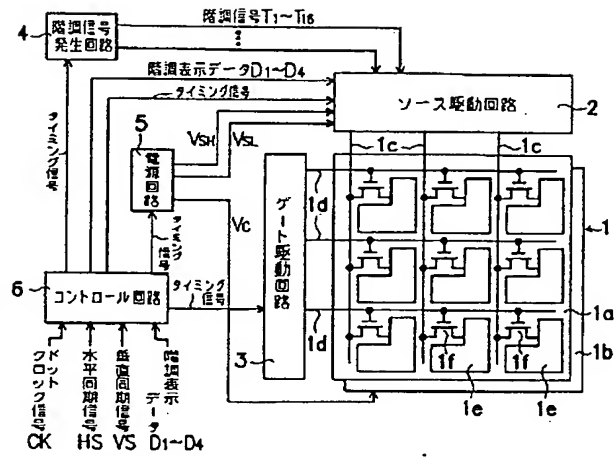
【図5】



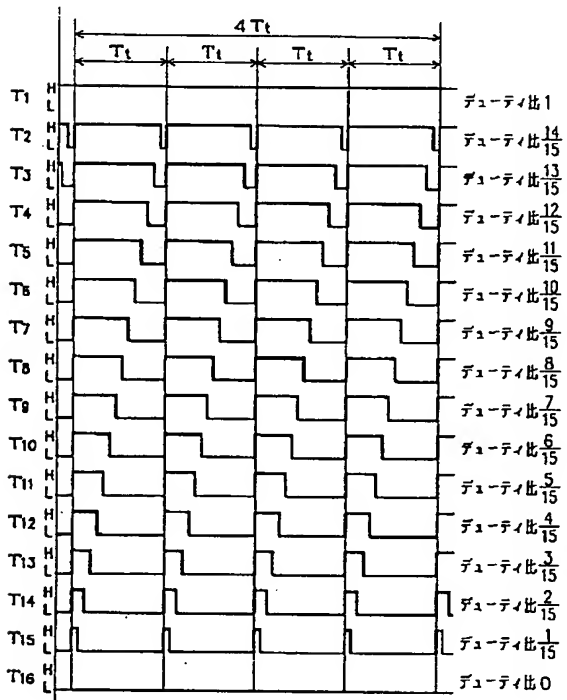
【図6】



【図7】



【図8】



【図10】

